

具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET 及制备方法

所属领域：半导体集成电路技术

成果简介：

1. 成果的基本情况

本发明涉及一种具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET 及制备方法，该制备方法包括：选取 FD-GOI 衬底；采用刻蚀工艺形成浅沟槽隔离；采用光刻工艺形成漏区图形，采用离子注入工艺形成漏区；在衬底上表面形成源区沟槽；采用倾斜离子注入工艺向源区沟槽侧壁注入离子以形成薄层掺杂区；在源区沟槽内淀积锗材料，并同时原位掺杂形成源区；源区的掺杂浓度高于漏区的掺杂浓度；在衬底上表面形成栅界面层；在栅界面层表面生长栅介质层和前栅极层，采用干法刻蚀工艺形成前栅，在衬底下表面生长背栅极层，采用干法刻蚀工艺形成背栅；光刻引线窗口，淀积金属，光刻引线，形成源区、漏区、前栅和背栅的金属引线，形成具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET。

2. 主要技术指标

(一) 一种具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET 的制备方法，其特征在于，包括步骤：

(1) 在所述 FD-GOI 衬底上表面采用光刻工艺形成漏区图形，采用带胶离子注入方法进行 N 注入，去除光刻胶，形成掺杂浓度为 $1 \times 10^{18} \sim 5 \times 10^{18} \text{cm}^{-3}$ 的漏区；在所述 FD-GOI 衬底上表面采用干法刻蚀工艺形成源区沟槽。

(2) 采用倾斜离子注入工艺向所述源区沟槽侧壁注入离子，以使离子从所述源区沟槽侧壁向沟道区扩散以形成薄层掺杂区。

(3) 利用 LPCVD 工艺，在 300°C 至 600°C 的温度下，利用选择性单晶锗外延生长方法在所述源区沟槽内淀积锗材料，同时通入掺杂气体对源区进行原位掺杂，形成掺杂浓度为 $2 \times 10^{20} \text{cm}^{-3}$ 的源区；

(4) 在所述 FD-GOI 衬底上表面形成栅界面层，在所述栅界面层表面生长栅介质层和前栅极层，采用干法刻蚀工艺形成前栅，在所述 FD-GOI 衬底下表面生长背栅极层，采用干法刻蚀工艺形成背栅；

(5) 光刻引线窗口，淀积金属，光刻引线，形成所述源区、所述漏区、所述前栅和所述背栅的金属引线，最终形成具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET。

(二) 如权利要求 1 所述的制备方法，其特征在于，步骤(d)包括：

d1) 利用光刻工艺在所述保护层上形成隔离区图形；d2) 利用干法刻蚀工艺刻蚀所述保护层及所述 FD-GOI 衬底以形成所述源区沟槽。

(三) 如权利要求 1 所述的制备方法，其特征在于，步骤(e)包括：

采用倾斜离子注入工艺向所述源区沟槽的侧壁倾斜一定角度注入离子，以在沟道内靠近所述源区沟槽的侧壁处形成所述薄层掺杂区，且所述薄层掺杂区的掺杂类型与所述漏区的掺杂类型相同。

3. 应用范围

该项专利成果可应用于 TFET 器件的设计及制备。

4. 市场需求及经济效益分析

理论上 TFET 不仅可以有效抑制短沟道效应,还能突破传统 MOSFET 亚阈值摆幅不能低于 60mV/dec 的限制,从而大幅度降低器件的开关功耗,因此 TFET 被认为是最具前景的超低功耗器件之一。本发明为了克服现有硅基 TFET 器件驱动电流小以及亚阈值斜率相对于理论值退化的问题,提出一种具有突变隧穿结的 PNIN/NPIP 型 FD-GOI TFET 及制备方法,可有效提高 TFET 器件的驱动电流以及降低亚阈值斜率,具有较好的市场前景,但目前该专利尚未转化。

5. 合作方式：专利权转让 专利权许可 技术转让 技术入股 合作开发 技术服务 其它

6. 联系方式

负责人姓名：李好晨 电话：18192045690 E-mail：280140183@qq.com